

Family list

1 family member for:

JP58028871

Derived from 1 application.

1 MANUFACTURE OF SILICON THIN FILM SEMICONDUCTOR DEVICE

Publication info: JP58028871 A - 1983-02-19

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

01091471 **Image available**

MANUFACTURE OF SILICON THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 58-028871 [JP 58028871 A]

PUBLISHED: February 19, 1983 (19830219)

INVENTOR(s): KOTAKE SHUSUKE

 OANA YASUHISA

 MUKAI NOBUO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 56-125251 [JP 81125251]

FILED: August 12, 1981 (19810812)

INTL CLASS: [3] H01L-029/78; H01L-021/76; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
 Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
 Implantation)

JOURNAL: Section: E, Section No. 174, Vol. 07, No. 107, Pg. 65, May
 11, 1983 (19830511)

ABSTRACT

PURPOSE: To make a gate insulating film thin and reduce a threshold voltage, by spreading a semiconductor island more than a conventional one and leaving a source, drain and gate electrodes and the lower part of the entire wiring continuous thereto in an island shape.

CONSTITUTION: A semiconductor thin film is formed on an insulating substrate 1, a conventional semiconductor island, a source, drain and gate electrodes and a part slightly larger than a region including a lead-out wiring are left as a new semiconductor island 2, other parts are removed by an etching, and next a gate insulating film 3 is formed. Then, oxygen or nitrogen is ion-implanted into parts 2' except for the operating region of the semiconductor film island being insulated. The ion implantation thereat is performed in several times by varying acceleration voltages, and thus

the semiconductor film is perfectly insulated from up to low.

?

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—28871

⑤ Int. Cl.³
H 01 L 29/78
21/76
27/12

識別記号

庁内整理番号
7377—5F
8122—5F
8122—5F

⑬ 公開 昭和58年(1983)2月19日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ シリコン薄膜半導体装置の製造方法

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

① 特 願 昭56—125251

② 発 明 者 向井信夫

② 出 願 昭56(1981)8月12日

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

② 発 明 者 小竹秀典

① 出 願 人 東京芝浦電気株式会社

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

川崎市幸区堀川町72番地

② 発 明 者 小穴保久

② 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

シリコン薄膜半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁性基板上にシリコン半導体薄膜からなる島を形成し、これにソース、ドレイン、ゲートを形成して得られる MOSFET を備え FET 動作領域のシリコン薄膜とともに、ソース、ドレイン、ゲートの電極、引き出し配線およびボンディングパッドの下にもシリコン薄膜を残すことにより、島の周辺で引き出し配線が断線することをなくす方法において、FET 動作領域以外の部分には、酸素あるいは窒素イオンの注入を行ない、その部分のシリコン薄膜を絶縁化することを特徴とするシリコン薄膜半導体装置の製造方法。

(2) FET 動作領域とそれにつながる配線の部分を島状に残してシリコン薄膜をエッチングし、その上にゲート絶縁膜を全面につけた後、FET 動作領域以外の島の領域に酸素あるいは窒素イオンを注入する際に、まず絶縁膜とシリコンの界面すなわ

ち表面からゲート絶縁膜の厚さ t_i の深さの所にピークを有する加速電圧で酸素あるいは窒素イオンをピーク深さで $1 \times 10^{21} \text{ cm}^{-3}$ になるように注入し、そのときの投影飛程の標準偏差を σ_1 としたとき、2 回目のイオン注入は表面から $t_i + 2\sigma_1$ の深さの所にピークを有する加速電圧で、ピーク濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上のドーズ量で行ない、そのときの投影飛程の標準偏差を σ_2 としたとき、3 回目のイオン注入は、表面から $t_i + 2\sigma_1 + 2\sigma_2$ の所にピークを有する加速電圧で $1 \times 10^{21} \text{ cm}^{-2}$ 以上のドーズ量で行ない、以下同様にして、半導体薄膜の下面が最後のイオン注入のピークの深さからその標準偏差の範囲内に入るまでイオン注入を続けることを特徴とした前記特許請求の範囲第1項記載のシリコン薄膜半導体装置の製造方法。

3. 発明の詳細な説明

本発明はシリコン薄膜半導体装置の製造方法に関する。

従来、ゲートとソース、ドレインと共に半導体薄膜の上部に形成される MOS トランジスタは、第

1図に示されるように、絶縁性基板1上に、島状の半導体膜2を形成し、その全面を絶縁膜3で覆い、ゲート絶縁膜とし、半導体の島を横切る形でゲート電極4を形成し、その上を全面に厚い絶縁膜5で覆い、ソース、ドレイン、ゲートの各コンタクト部分6,7,8で絶縁膜に穴をあけてコンタクトホールとし、この部分からそれぞれのボンディングパッドまで配線9,10,11を形成する方法で作製されていた。

しかしこの方法では半導体の島を越えてゲート電極が形成されるので、ゲートと半導体との絶縁性を良くするためにゲート絶縁膜を厚くしなければならず、またゲート電極や各配線の段切れを防ぐために、半導体膜を薄くし、その島の側面は傾斜させ、ゲート電極や配線も十分な厚さにしなければならぬ。ゲート絶縁膜を厚くするとしきい電圧が高くなり、ゲート電極や配線を厚くすると、正確な寸法の電極配線を形成することが難しくなる。

本発明はかかる事情に鑑みなされたものである。すなわち、本発明では半導体の島を従来のものよ

(3)

して絶縁化して配線と半導体の間に発生する静電容量を減少させた点である。したがって、作製工程も従来のものとは異なってくる。まず絶縁性基板1の上に半導体薄膜を形成し、第1図の半導体の島とソース、ドレイン、ゲートの電極と引き出し配線を含めた領域よりも若干大きい部分を第2図のように新たな半導体の島2として残し、他の部分をエッチングで除去し、次にゲート絶縁膜3をつける。そして半導体膜の島の動作領域を除いた部分2'に酸素あるいは窒素をイオン注入して絶縁化する。そのときのイオン注入は、加速電圧を変えて数回行ない、半導体膜の上から下までを完全に絶縁化する。まず第3図に示すように絶縁膜3とシリコンの界面、すなわち表面からゲート絶縁膜1 μ mの深さの所にピークを有する加速電圧で酸素イオンあるいは窒素イオンをピーク濃度が $1 \times 10^{21} \text{cm}^{-3}$ 以上になるドーズ量で注入し、そのときの投影飛程の標準偏差を σ_1 としたとき、2回目のイオン注入は、表面から $1\frac{1}{2}\sigma_1$ の深さの所にピークを有する加速電圧で、ピーク濃度が $1 \times$

(5)

りも広げ、ソース、ドレイン、ゲートの電極とそれにつながる配線全体の下部も島状に残すようにした。このようにすることにより、ゲート絶縁膜を薄くすることができ、しきい電圧を低くすることができる。また各電極や配線はすべて、半導体の島の上に形成されるので、段切れを起こすことがなく、薄く、寸法精度の良いものにすることができる。ただ問題点は、配線とその下の絶縁膜を介した半導体との間に発生する静電容量であるが、これはこの部分の半導体領域に酸素あるいは窒素をイオン注入して絶縁化することで防止する。その酸素あるいは窒素のイオン注入は、加速電圧を変えて数回に分けて行ない、厚さ数千Åの半導体膜がすべて絶縁化するような方法で行なう。

以下図面を用いて本発明を詳細に説明する。第2図は本発明を採用した素子の構造を示している。第1図に示した従来の薄膜半導体装置と大きく異なるのは、ソース、ドレイン、ゲートの各電極と配線の下部分を半導体の島の一部として残した点と、配線部分に酸素あるいは窒素をイオン注入

(4)

10^{21}cm^{-3} 以上になるドーズ量で行ない、そのときの投影飛程の標準偏差を σ_2 としたとき、3回目のイオン注入は、表面から $1\frac{1}{2}\sigma_1 + 2\sigma_2$ の所にピークを有する加速電圧で、ピーク濃度が $1 \times 10^{21} \text{cm}^{-3}$ 以上になるドーズ量で行ない、以下同様にして、半導体薄膜の下面が最後のイオン注入のピークの深さからその投影飛程の標準偏差内に入るまでイオン注入を続ける。以下の素子作製工程は、従来の方法と同じで、ゲート電極4を形成し、その上を絶縁膜5で覆う。次にコンタクトホール6,7,8をあけ、ソース、ドレインの電極と配線及びゲートの配線を形成する。

このようにすれば、ゲート電極や各配線が従来のように半導体の島を横切ったり、島の段を越えたりすることがないので、段切れを起こす恐れはない。特にゲート電極は従来のものよりも大幅に薄くできるので、素子表面の凹凸はずっと少なくなる。またゲート電極のエッチングも容易になり、寸法精度もよくなる。一方でゲート絶縁膜を薄くすることにより、しきい電圧も下げることができ

(6)

る。

具体的な実施例は次のようにして行なわれた。絶縁性基板としては厚さ0.8mm、50mm角の硼珪酸ガラスを用い、半導体薄膜は、500℃の基板温度でモノシラン(SiH_4)をプラズマ分解して得られた厚さ6000Åの多結晶シリコンを用いた。ゲート絶縁膜はスパッタで堆積した厚さ770Åの SiO_2 膜を用いた。従来の方法だと厚さ6000Åの半導体の層を覆うには、少なくとも3000Åの SiO_2 を堆積しなければならなかったが、これが約1/4の厚さでできた。半導体を絶縁化するには、前項の条件を満たすように、酸素イオン(O^+)を1回目は加速電圧40KVでドーズ量 $8.9 \times 10^{15} \text{cm}^{-2}$ 、2回目は80KVで $1.6 \times 10^{16} \text{cm}^{-2}$ 、3回目は120KVで $2.1 \times 10^{16} \text{cm}^{-2}$ 、4回目は190KVで $2.9 \times 10^{16} \text{cm}^{-2}$ 、5回目は280KVで $3.6 \times 10^{16} \text{cm}^{-2}$ でイオン注入した。その後厚さ1000Åのゲート電極4をAlで形成してからソース、ドレイン領域にホウ素イオン(B^+)を加速電圧100KVドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ でイオン注入した。活性化のための熱処

(7)

理は500℃の酸素雰囲気中で1時間行なった。その後、表面を保護する絶縁膜5を厚さ6000Åのスパッタ法による SiO_2 で形成し、コンタクトホールをあけた後、ソース、ドレインの電極と各配線を厚さ7000ÅのAlで形成した。多結晶シリコン膜堆積時には、 SiH_4 に対し PI_3 を200ppm混ぜたガスを使用したので、得られた素子はpチャネルのエンハンスメントタイプのものであった。長さ20μm幅100μmのゲートを有するFETを有するFETと比較した所、従来の構造のものに比べしきい電圧は5V~10V減少し、ソース、ドレインの電流は3~5倍になった。また表面の凹凸が減少しているので素子作製時の不良品の発生率は約50%減少した。

本発明はシリコン薄膜半導体装置全般にあってはまり、多結晶だけでなく単結晶やアモルファスに対して有効である。また実施例以外の構造、例えば第4図のような、ゲートとソース、ドレインの電極及び配線を同時に形成する構造(1は絶縁性基板、2は半導体薄膜、2'はそれの酸素あるい

(8)

は酸素をイオン注入した部分、3はゲート絶縁膜)に対してもあてはまる。

4. 図面の簡単な説明

第1図は従来の薄膜半導体装置を示し、(a)は平面図、(b)はa-a'断面図、(c)はb-b'断面図、第2図は本発明の半導体装置を示し、(a)は平面図、(b)はa-a'断面図、(c)はb-b'断面図、第3図は半導体をイオン注入で絶縁化するための条件を説明するための図、第4図は本発明の他の実施例を示し(a)は平面図、(b)はa-a'断面図、(c)はb-b'断面図である。図に於いて、

(1)…絶縁性基板、2…半導体の層、
2'…半導体の層のイオン注入により絶縁化された部分、3…ゲート絶縁膜、4…ゲート電極、
5…表面保護利絶縁膜、6,7,8…コンタクトホール、9…ソース電極、配線、10…ドレイン電極、配線、11…ゲート配線。

代理人 弁理士 則 近 憲 佑
(ほか1名)

(9)

